

Patent Abstracts of Japan

PUBLICATION NUMBER : 05243222
PUBLICATION DATE : 21-09-93

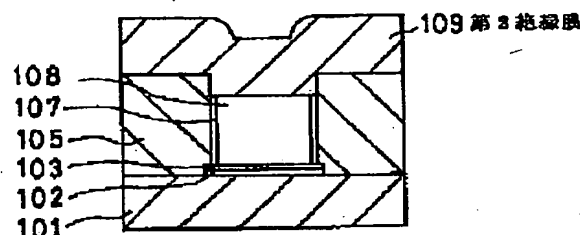
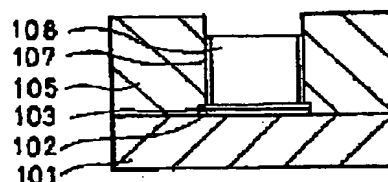
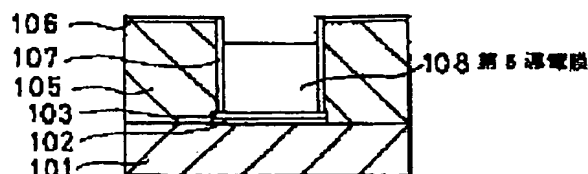
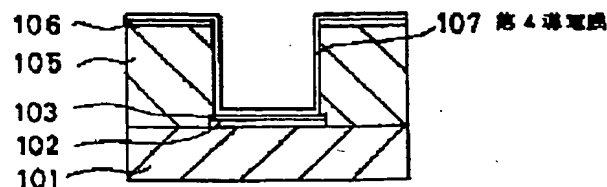
APPLICATION DATE : 27-02-92
APPLICATION NUMBER : 04041427

APPLICANT : NEC CORP;

INVENTOR : URABE KOJI;

INT.CL. : H01L 21/3205

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent a difference in level on the surface which corresponds to the thickness of an interconnection and thereby to form an accurate resist pattern in the following photolithography process by forming a metal interconnection selectively after formation of an interconnection pattern on an insulating film.

CONSTITUTION: A laminated metal film constituted of a first conductive film 102 and a second conductive film 103 is formed and an interconnection pattern is formed. Then, on the laminated metal film, a first insulating film 105 and a third conductive film 106 are formed and an interconnection pattern which is nearly the same as the formerly formed interconnection pattern is made on the first insulating film 105 and the third conductive film 106. Next, a fourth conductive film 107 is formed on the first insulating film 105 and the second conductive film 103 and then the fourth conductive film 107 on the flat part is removed, being remained only on a side wall part, to expose the surface of the second conductive film 103 again. After that, a fifth conductive film 108 is formed selectively by electrolytic plating on the second conductive film 103. After removing the whole of the third conductive film 106 a part of the fourth conductive film 107, a second insulating film 109 is formed on the fifth conductive film 108 and the first insulating film 105.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-243222

(43) 公開日 平成5年(1993)9月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205		7735-4M	H 0 1 L 21/88	K
		7735-4M		B

審査請求 未請求 請求項の数3(全5頁)

(21) 出願番号 特願平4-41427

(22) 出願日 平成4年(1992)2月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 占部 耕児

東京都港区芝五丁目7番1号 日本電気株式会社内

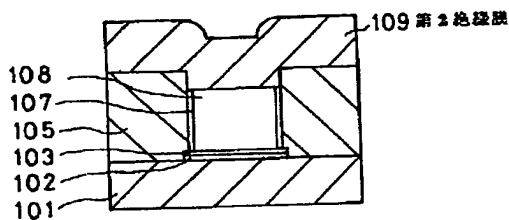
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【目的】 半導体装置の多層配線に於て、層間絶縁膜を平坦化する。

【構成】 第1導電膜および第2導電膜よりなる積層導電膜に配線パターンを形成し、積層導電膜上に第1絶縁膜105および第3導電膜を形成し、第1絶縁膜105および第3導電膜に積層導電膜と同一の配線パターンを開孔し第2導電膜を露出させ、開孔部側壁に第4導電膜107を形成し、第2導電膜上のみ電解メッキ法により選択的に第5導電膜108を形成し、不用な第3導電膜および第4導電膜107を除去し、第1絶縁膜105および第5導電膜108上に第2絶縁膜109を形成する。



【特許請求の範囲】

【請求項1】 密着金属としての第1導電膜および該第1導電膜上に存在するメッキ密着材料としての第2導電膜よりなる積層金属膜を形成しパターニングにより配線パターンを形成する工程と、前記積層金属膜上に第1絶縁膜および第3導電膜を形成する工程と、前記第1絶縁膜および第3導電膜に前記配線パターンとほぼ同一の配線パターンを開孔し前記第2導電膜の表面を露出させる工程と、前記第1絶縁膜上および前記第2導電膜上に第4導電膜を形成する工程と、平坦部の前記第4導電膜を除去し側壁のみを残しつつ再び前記第2導電膜の表面を露出させる工程と、前記第2導電膜上に電解メッキ法により選択的に第5導電膜を形成する工程と、前記第3導電膜の全部および第4導電膜の一部を除去する工程と、前記第5導電膜および第1絶縁膜上に第2絶縁膜を形成する工程を有する事を特徴とする半導体装置の製造方法。

【請求項2】 前記第2導電膜上に電解メッキ法により選択的に前記第5導電膜を形成する工程の前に、前記第3導電膜および前記第4導電膜の表面を酸化させる工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2絶縁膜を形成する工程の前に、前記第1絶縁膜表面と前記第5導電膜表面がほぼ同一の高さになるように前記第1絶縁膜をエッチバックする工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電解メッキにより形成される半導体装置の製造方法に関し、特に半導体装置の金属配線および層間絶縁膜の製造方法に関する。

【0002】

【従来の技術】図12に示す通り、タングステンにチタンが5～10%添加されたチタンタングステン合金より構成される第1導電膜202を、既知の技術であるD. C. マグネトロンスパッタ法を用いて成膜パワー1.0～5.0kW、成膜圧力2～10mTorrとし、0.05～0.2μmの厚みで、下層絶縁膜201上に形成し、密着性の改善、メッキ電流の供給を目的として、金、白金、パラジウム等より構成される第2導電膜203を、D. C. マグネトロンスパッタ法を用いて成膜パワー0.5～1.0kW、成膜圧力2～10mTorrの条件下、0.01～0.1μmの厚みで第1導電膜202上に形成する。フォトリソグラフィ技術を用いてポジタイプフォトリソレジストより構成される配線形成用マスク204を、1.0～2.0μmの厚みで第2導電膜203上に選択的に形成し、硫酸金ナトリウム、硫酸、燐酸等より構成される電解金メッキ液を用い、第2導電膜203を陰極、白金あるいはチタンに白金を被覆したメッシュ

状電極を陽極として通電し、メッキ温度30～60℃、電流密度1～4mA/cm²の条件の下で電解金メッキを行い、金より構成される低い電気抵抗を有する第3導電膜205を0.5～2.0μmの厚みで選択的に形成し、さらに有機溶剤を用いて配線形成用マスク204を除去する。第3導電膜205は配線全体の電気抵抗の低減を目的として形成されるものである。

【0003】図13に示す通り、アルゴンガスをソースとしたミリング法、CF₄、SF₆をエッチングガスとした反応性イオンエッチング法により、第3導電膜205をエッチングマスクとして下層の第1導電膜202および第2導電膜203の不要部分のみを除去して、第1導電膜202、第2導電膜203、第3導電膜205より構成される金属配線を形成する。

【0004】図14に示す通り、下層絶縁膜201及び第3導電膜205上に第1絶縁膜206としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を0.5～2.0μmの厚みで形成する。

【0005】図15に示す通り、第1絶縁膜206上に第2絶縁膜207として有機シリカあるいは無機シリカ等の塗布膜を形成し熱処理を施した後にエッチバックを行い、第1絶縁膜206と第3導電膜205との間に生ずる段差を滑らかにする。更に、第1絶縁膜206及び第2絶縁膜207上に第3絶縁膜208としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を0.5～2.0μmの厚みで形成する。

【0006】

【発明が解決しようとする課題】上述した従来の半導体装置の金属配線の形成方法は、以下に示す欠点がある。

【0007】このような配線形成方法においては、配線が存在する部分と存在しない部分に於て配線の膜厚に相当する表面段差が生じるため、フォトリソグラフィ工程に於て正確なレジストパターンを形成することが困難となっている。

【0008】

【課題を解決するための手段】本発明の半導体装置の金属配線および層間絶縁膜の製造方法は、密着金属としての第1導電膜および該第1導電膜上に存在するメッキ密着材料としての第2導電膜よりなる積層金属膜を形成しパターニングにより配線パターンを形成する工程と、前記積層金属膜上に第1絶縁膜および第3導電膜を形成する工程と、前記第1絶縁膜および第3導電膜に前記配線パターンとほぼ同一の配線パターンを開孔し前記第2導電膜の表面を露出させる工程と、前記第1絶縁膜上および前記第2導電膜上に第4導電膜を形成する工程と、平坦部の前記第4導電膜を除去し側壁のみを残しつつ再び前記第2導電膜の表面を露出させる工程と、前記第2導電膜上に電解メッキ法により選択的に第5導電膜を形成する工程と、前記第3導電膜の全部および第1導電膜の一部を除去する工程と、前記第5導電膜および第1絶縁

膜上に第2絶縁膜を形成する工程を有する。

【0009】

【作用】本発明の半導体装置の製造方法は、層間絶縁膜に配線パターンを形成した後に配線金属を選択的に形成するため、配線膜厚に相当する表面段差は生じない。したがって、後のフォトリソグラフィ工程に於て正確なレジストパターンの形成が可能となる。

【0010】

【実施例】次に本発明の実施例1について図面を参照して説明する。

【0011】図1に示す通り、密着金属としてタングステンにチタンが5~10%添加されたチタンタングステン合金より構成される第1導電膜102を、既知の技術であるD. C. マグネトロンスパッタ法を用いて成膜パワー1.0~5.0kW、成膜圧力2~10mTorrとし、0.05~0.2μmの厚みで、下層絶縁膜101上に形成する。続いて、密着性の改善、メッキ電流の供給を目的として、金、白金、パラジウム等より構成される第2導電膜103を、D. C. マグネトロンスパッタ法を用いて成膜パワー0.5~1.0kW、成膜圧力2~10mTorrの条件下、0.01~0.1μmの厚みで第1導電膜102上に形成し、既知の手法であるフォトリソグラフィ技術、ドライエッチング技術等を用いて、第1導電膜102及び第2導電膜103より構成される積層導電膜の配線パターンを形成する。

【0012】図2に示す通り、下層絶縁膜101及びパターンニングされた第2導電膜上に第1絶縁膜105としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を0.5~2.0μmの厚みで形成し、続いて第3導電膜106としてチタンタングステン合金をスパッタ法を用いて第1絶縁膜105上に0.05~0.2μmの厚みで形成する。

【0013】図3に示す通り、既知の手法であるフォトリソグラフィ技術、ドライエッチング技術法等を用いて、第1導電膜102及び第2導電膜103より構成される積層導電膜と同一の配線パターンを開口し、第2導電膜103を露出させる。

【0014】図4に示す通り、第1絶縁膜105及び第2導電膜103上に第4導電膜107としてチタンタングステン合金をスパッタ法により0.05~0.2μmの厚みで形成する。

【0015】図5に示すように、第4導電膜107にドライエッチングを施すことにより平坦部の第3導電膜106および側壁部の第4導電膜107を残しつつ第2導電膜103を露出させる。続いて酸素雰囲気中での熱処理あるいは酸素プラズマに曝すことにより第3導電膜106及び第4導電膜107の表面を酸化させる。

【0016】図6に示す通り、硫酸金ナトリウム、硫酸、磷酸等より構成される電解金メッキ液を用い、第3導電膜106及び第4導電膜107をメッキ電流経路、

第2導電膜103を陰極、白金あるいはチタンに白金を被覆したメッシュ状電極を陽極として通電し、メッキ温度30~60℃、電流密度1~4mA/cm²の条件下で電解金メッキを行い、金より構成される低い電気抵抗を有する第5導電膜108を0.5~2.0μmの厚みで第2導電膜103上に選択的に形成する。第3導電膜106及び第4導電膜107の表面を酸化させ絶縁体とすることにより第3導電膜106及び第4導電膜107の表面へのメッキ金の析出を防いでいる。

【0017】図7に示す通り、第3導電膜106および第4導電膜107の一部を等方性エッチングにより除去した後、第5導電膜108の安定化のために熱処理を施す。

【0018】図8に示す通り、第1絶縁膜105および第5導電膜108上に第2絶縁膜109としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を0.5~2.0μmの厚みで形成する。

【0019】このようにして形成された金属配線は、前もって層間絶縁膜が形成された配線パターンに配線を成膜するために、配線膜厚に相当する段差は生じない。

【0020】次に本発明の実施例2について図面を参照して説明する。

【0021】図9に示す通り、実施例1と同様の手法および材料を用いて、第1導電膜102および第2導電膜103から構成される積層導電膜の形成された下層絶縁膜101上に、第1絶縁膜105、第3導電膜106を形成し、第2導電膜103と同一の配線パターンを開口した後、第1絶縁膜105および第2導電膜103上に第4導電膜107を形成し、平坦部の第3の導電膜106および側壁部の第4導電膜107を残しつつ第2導電膜103を露出させ、第2導電膜103上のみ第5導電膜108を形成し、平坦部の第3導電膜106および側壁部の第4導電膜107を除去する。

【0022】図10に示すように第1絶縁膜105の表面と第5導電膜108の表面が同一の高さになるように異方性ドライエッチングにより第1絶縁膜105のエッチバックを行う。

【0023】図11に示す通り、第1絶縁膜105および第5導電膜108上に第2絶縁膜109としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を0.5~2.0μmの厚みで形成する。このようにして形成された金属配線では、第1絶縁膜と金属配線との間に生ずる段差をエッチバックにより低減しているの、第2絶縁膜109は更に平坦化されている。

【0024】

【発明の効果】以上説明したように本発明の半導体装置の金属配線および層間絶縁膜の製造方法は、絶縁膜に形成された配線パターンに配線金属を成膜するため、従来例に於て生じる配線膜厚に相当する段差は発生しない。したがって、後のフォトリソグラフィ工程に於て正確な

レジストパターンの形成が可能となり多層配線を形成することが容易となる。

【図面の簡単な説明】

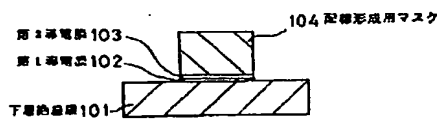
【図1】本発明の実施例1の工程縦断面図である。
 【図2】本発明の実施例1の工程縦断面図である。
 【図3】本発明の実施例1の工程縦断面図である。
 【図4】本発明の実施例1の工程縦断面図である。
 【図5】本発明の実施例1の工程縦断面図である。
 【図6】本発明の実施例1の工程縦断面図である。
 【図7】本発明の実施例1の工程縦断面図である。
 【図8】本発明の実施例1の工程縦断面図である。
 【図9】本発明の実施例2の工程縦断面図である。
 【図10】本発明の実施例2の工程縦断面図である。
 【図11】本発明の実施例2の工程縦断面図である。
 【図12】従来の半導体装置の金属配線形成方法の工程縦断面図である。
 【図13】従来の半導体装置の金属配線形成方法の工程縦断面図である。
 【図14】従来の半導体装置の金属配線形成方法の工程縦断面図である。

【図15】従来の半導体装置の金属配線形成方法の工程縦断面図である。

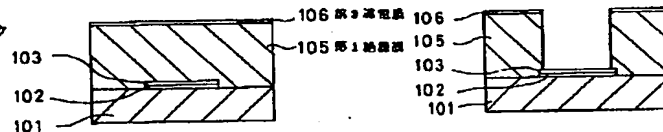
【符号の説明】

101 下層絶縁膜
 102 第1導電膜
 103 第2導電膜
 104 配線形成用マスク
 105 第1絶縁膜
 106 第3導電膜
 107 第4導電膜
 108 第5導電膜
 109 第2絶縁膜
 201 下層絶縁膜
 202 第1導電膜
 203 第2導電膜
 204 配線形成用マスク
 205 第3導電膜
 206 第1絶縁膜
 207 第2絶縁膜
 208 第3絶縁膜

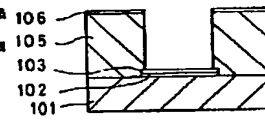
【図1】



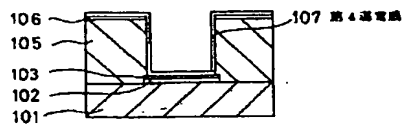
【図2】



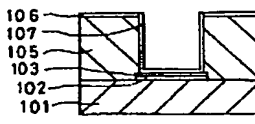
【図3】



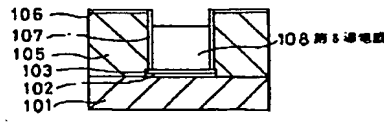
【図4】



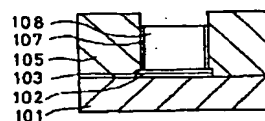
【図5】



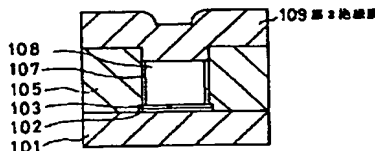
【図6】



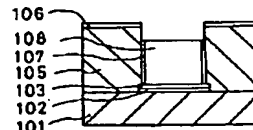
【図7】



【図8】



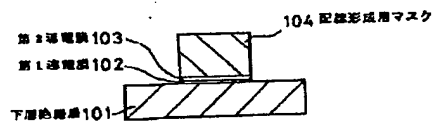
【図9】



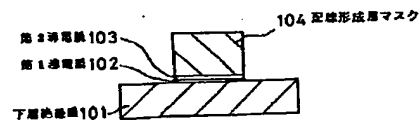
(5)

特開平5-243222

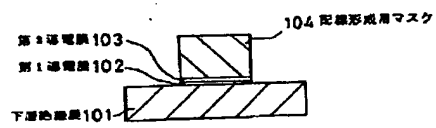
【図10】



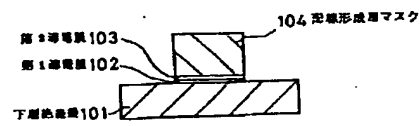
【図11】



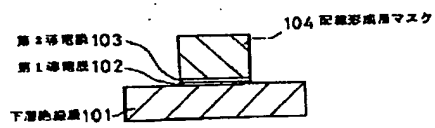
【図12】



【図13】



【図14】



【図15】

